

IFW



503.38071CC2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): J. SAKANO, *et al*

Serial No.: 10/798,426

Filed: March 12, 2004

Title: COMPLEX SEMICONDUCTOR DEVICE AND ELECTRIC POWER
CONVERSION APPARATUS USING IT

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 7, 2004

Sir:

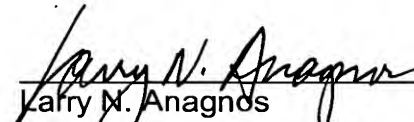
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. JP10-104348
Filed: April 15 1998

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Larry M. Anagnos
Registration No.: 32,392

LNA/rr
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 1 9 9 8 年 4 月 1 5 日
Date of Application:

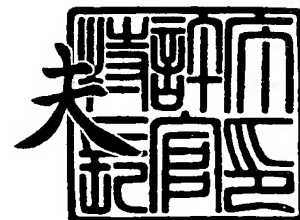
出 願 番 号 平成 1 0 年 特 許 願 第 1 0 4 3 4 8 号
Application Number:
[ST. 10/C]: [J P 1 9 9 8 - 1 0 4 3 4 8]

出 願 人 株式会社日立製作所
Applicant(s):

2 0 0 4 年 4 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 9 5 2 5

【書類名】 特許願

【整理番号】 1198002761

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/74
H01L 29/78

【発明の名称】 複合半導体装置及びそれを使った電力変換装置

【請求項の数】 8

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 坂野 順一

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 小林 秀男

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
株式会社 日立製作所 日立研究所内

【氏名】 森 睦宏

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 複合半導体装置及びそれを使った電力変換装置

【特許請求の範囲】

【請求項 1】

第 1 の主表面を有する第 1 導電型の第 1 の半導体領域上に第 2 の主表面に露出するように設けた第 2 導電型の第 2 の半導体領域と、前記第 2 の主表面に露出するように前記第 2 の半導体領域内に設けた第 1 導電型の第 3 の半導体領域及び第 1 導電型の第 4 の半導体領域と、前記第 3 の半導体領域内に前記第 2 の主表面に露出するように設けた第 2 導電型の第 5 の半導体領域と、前記第 4 の半導体領域内に前記第 2 の主表面に露出するように設けた第 2 導電型の第 6 の半導体領域と、前記第 2 の主表面上で第 5 の半導体領域、第 6 の半導体領域にまたがって形成された第 1 の絶縁ゲートと、前記第 1 の主表面上で前記第 1 の半導体領域に低抵抗接触した第 1 の電極と、前記第 2 の主表面上で第 3 の半導体領域と第 5 の半導体領域を短絡した第 2 の電極とを有する複合半導体装置において、前記第 4 の半導体領域と、第 2 の電極間に非線形素子を低抵抗で接続したことを特徴とする複合半導体装置。

【請求項 2】

請求項 1 の複合半導体装置において、前記第 1 の電極と前記第 2 の電極間に複合半導体装置の定格電流通電時以上の電圧を印加することで、前記非線形素子がオン状態となることを特徴とする複合半導体装置。

【請求項 3】

請求項 2 の複合半導体装置において、前記非線形素子に、ツェナーダイオードを用い、そのアノード電極を前記第二の電極に接続したことを特徴とする複合半導体装置。

【請求項 4】

請求項 2 の複合半導体装置において、前記非線形素子に、そのゲート電極を前記第 2 の電極に接続した電界効果トランジスタを用いたことを特徴とする複合半導体装置。

【請求項 5】

請求項 2 の複合半導体装置において、前記非線形素子に、そのゲート電極を前記第 4 の半導体領域に低抵抗で接続した電界効果トランジスタを用いたことを特徴とする複合半導体装置。

【請求項 6】

第 1 の主表面を有する第 1 導電型の第 1 の半導体領域上に第 2 の主表面に露出するように設けた第 2 導電型の第 2 の半導体領域と、前記第 2 の主表面に露出するように前記第 2 の半導体領域内に設けた第 1 導電型の第 3 の半導体領域と、前記第 3 の半導体領域内に前記第 2 の主表面に露出するように設けた第 2 導電型の第 4 の半導体領域及び第 5 の半導体領域と、前記第 2 の主表面上で第 4 の半導体領域と第 5 の半導体領域にまたがって形成された第 1 の絶縁ゲートと、前記第 5 の半導体領域と前記第 2 の半導体領域にまたがって形成された第 2 の絶縁ゲートと、前記第 1 の主表面上で前記第 1 の半導体領域に低抵抗接触した第 1 の電極と、前記第 2 の主表面上で第 3 の半導体領域と第 4 の半導体領域を短絡した第 2 の電極とを有する複合半導体装置において、前記第 4 の半導体領域と、第 2 の電極間に非線形素子を低抵抗で接続したことを特徴とする複合半導体装置。

【請求項 7】

第 1 の主表面を有する第 1 導電型の第 1 の半導体領域上に第 2 の主表面に露出するように設けた第 2 導電型の第 2 の半導体領域と、前記第 2 の主表面に露出するように前記第 2 の半導体領域内に設けた第 1 導電型の第 3 の半導体領域と、前記第 3 の半導体領域内に前記第 2 の主表面に露出するように設けた第 2 導電型の第 4 の半導体領域と、前記第 2 の主表面上で第 4 の半導体領域、第 2 の半導体領域にまたがって形成された第 1 の絶縁ゲートと、前記第 1 の主表面上で前記第 1 の半導体領域に低抵抗接触した第 1 の電極と、前記第 2 の主表面上で第 3 の半導体領域と第 4 の半導体領域を短絡した第 2 の電極とを有する複合半導体装置において、前記第 4 の半導体領域と、第 2 の電極間に非線形素子を低抵抗で接続したことを特徴とする複合半導体装置。

【請求項 8】

前記請求項第 1, 2, 3, 4, 5, 6, 7, 8 のいずれか 1 項の複合半導体装

置を用いたことを特徴とする電力変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はMISゲートでオン、オフできるオン時の抵抗損失が小さく大電流化に適した複合半導体装置において、特に低損失でかつ安全動作領域の広い複合半導体装置及びそれを使った電力変換装置に関する。

【0002】

【従来の技術】

インバータ装置を始めとする電力変換器の高性能化の要求から、高速、低損失、大容量の半導体スイッチング素子の開発が望まれている。近年これに応える半導体スイッチング素子として、MISゲートでサイリスタを制御する素子(MIS制御サイリスタ)が注目されている。MIS制御サイリスタは、MISゲートでバイポーラトランジスタを制御する素子であるIGBT(Insulated Gate Bipolar Transistor)に比べ低いオン電圧が実現できるため、オン時の抵抗損失が小さく高耐圧化に適している。サイリスタと直列にMISFETを接続し、このMISFETのオン・オフによりサイリスタの電流経路を導通・遮断してスイッチングするMIS制御サイリスタは、直列接続されたMISFETの限流作用により、素子を集積化し並列動作させた場合にも、一つの素子への電流集中が起これにくく大電流化に適している。また特にオン状態にサイリスタのpベース層がフローティング電位となる構造の素子は、サイリスタがオンしやすくさらに抵抗損失の低減が期待できる。このようなタイプの素子は、例えば、アイ・エス・ピー・エス・ディー(1993年)第71頁～第76頁(Proceedings of 1993 International Conference on Power Semiconductor Device and IC's, Tokyo, pp.71～76.)において論じられている。

【0003】

図3にその断面構造と等価回路を示す。この半導体装置はn-基板(n-層)1の裏面にn1層2及びp1+層3が形成されている。表面には絶縁膜4とゲート電極5からなる絶縁ゲートGが形成され、絶縁ゲートG下に達するようにn1+層

6, n2+層7が、主表面から形成されている。n6+層に接して不純物濃度の高いp2+層8が主表面から形成され、n1+層6を取り囲むようにp1層9が設けられている。n2+層7を取り囲むように、p2層11が設けられている。n1+層6とp2+層8に接触してエミッタ電極12が設けられている。裏面にはコレクタ電極13がp1+層3に接触して設けられている。p2層11とエミッタ電極12は、図中に示されていない部分の半導体領域を介して接続されており、その間の抵抗をR1で示している。

【0004】

図3の本半導体複合装置の等価回路に示すように、本装置は、p1+層3, n-層1, p2層11からなるpnptランジスタ(Q1)とn-層1, p2層11, n2+層7からなるnpnptランジスタ(Q2)により構成されるサイリスタ(Th1)を含んでいる。このサイリスタTh1はn-層1, p2層11, n2+層7からなるnチャネルMISFET(M2)及びn1+層6, p1層9, n-層1からなるnチャネルMISFET(M1)を介してエミッタ電極12に接続される。

【0005】

さらにQ1は、抵抗R1および、p2層11の横方向抵抗(R3)と直列に接続されたp1層9, n-層1, p2層11からなるpチャネルMISFET(M3)を介してエミッタ電極12に接続される。更にM1及びp1+層3, n-層1, p1層9からなるpnptランジスタ(Q3)からなるIGBT領域がある。更に本装置には、n-層1, p1層9, n1+層6からなるnpnptランジスタ(Q4)と、Q3からなる寄生サイリスタ(Th2)が存在する。Q4のベース層であるp1層9は、低い抵抗R2によりエミッタ電極12に接続される。このためQ4の電流増幅率は低く、通常Th2はオンしない。このように本装置は、IGBTとサイリスタが複合されている素子と見ることができる。

【0006】

以下図3を用いて本装置の動作原理を示す。まず本装置をターンオンするには、エミッタ電極12に対しコレクタ電極13及びゲート電極5に正の電圧を加える。これにより絶縁ゲートG下のp1層9及びp2層11表面にn反転層が形成される(M1, M2オン)。さらに、絶縁ゲートG下のn-層1表面にn蓄積層

が形成されることにより、このn蓄積層とM1、M2を介してエミッタ電極12とn2+層7が接続される。M1がオンした結果、M1を通じて電子がn-層1に注入される。この電子注入によりn-層1のポテンシャルが下がり、p1+層3より正孔がn-層1に注入される。注入された正孔はn-層1を拡散しQ2のベース層であるp2層11へ注入される。この正孔注入によりp2層11のポテンシャルが上がり、n2+層7より電子が注入される（Q2オン）。この結果サイリスタTh1がオンし、半導体装置がオン状態になる。

【0007】

一方、ターンオフするには、ゲート電極Gを、エミッタ電極12に対し同電位または負の電位にバイアスする。これにより絶縁電極Gの下P1層9表面のn反転層が消滅し、M1、M2がオフしn1+層6からn2+層7への電子注入が遮断されると、Q2がオフする。同時に、n2+層7からn-層1への電子注入も遮断されるため、Q1がオフする。Q1がオフする過程において、Q1のベースであるn-層1に蓄積されていた正孔はエミッタ電極12に流れる。Q1、Q3がオフした結果、p1+層3からの正孔注入も無くなり、半導体装置はオフ状態になる。

【0008】

この半導体装置の特徴は、サイリスタ動作により、n2+層7から電子注入が行われるため、単独のIGBTに比べ導電率変調が強く生じ、低オン電圧が実現できることにある。またIGBTと同様に絶縁ゲートへの電圧の印加・除去によりオン・オフ可能なため、従来のIGBTと同様にゲート回路が極めて簡略化される特徴を維持できる。

【0009】

【発明が解決しようとする課題】

上記従来型の半導体装置は、安全動作領域がIGBTに比べて狭いという問題がある。これは電流が大きくなると、ターンオフ時にサイリスタTh1のpベース層であるp2層11にホールが流れ込むため、抵抗R1及びR3によりp2層11の電位が上昇し、p1層9とn2+層7、p1層9とゲートG間に過大な電圧が印加されて降伏することによる。この時、R1及びR3を低減すれば、p2層

11の電位上昇は低減され安全動作領域が広がる。しかし同時にQ2の電流増幅率が低下し、サイリスタがオンしにくくなる。このため、素子自体がオンしにくくなり、オン電圧が増加して損失が増えるという問題がある。

【0010】

一方、上記従来例とは異なる構造のMIS制御サイリスタであるが、pベース層の電位上昇を抑える方法として、ツェナーダイオードをサイリスタのpベース層とコレクタ電極間に挿入する素子が提案されている。このような素子は、特開平8-330570号において報告されている。図4にその断面構造を示す。この半導体装置はn-基板(n-1層)201の裏面にp+層202が形成されている。このp+層202に低抵抗で接触してコレクタ電極(C)203が設けられている。n-基板表面にはゲート電極205と絶縁膜206からなる絶縁ゲートG201、ゲート電極207と絶縁膜208からなる絶縁ゲートG202が形成されている。絶縁ゲートG201下に達するようにn+1層211、n+2層212が絶縁ゲートG201をはさんで主表面から形成されている。また絶縁ゲートG202をはさんでn+2層212と反対側にn+3層213が、G202下に達するように主表面から形成されている。n+1層211、n+2層212を取り囲むようにp1層214が設けられている。n+3層213を取り囲むように、p2層215が設けられている。n+1層211に低抵抗で接触して電極204が設けられている。

【0011】

n+2層212とp1層214に低抵抗で接触してエミッタ電極(E)209が形成されている。n+3層213に低抵抗で接触して電極210が設けられている。絶縁ゲートG201とG202の電極は低抵抗の配線電極により接続されている。また電極204と電極210も別の低抵抗の配線電極により接続されている。さらにサイリスタのpベース層であるp2層215とエミッタ電極間にツェナーダイオード220が、p2層215にカソード電極を向けて接続されている。

【0012】

図5に本複合半導体装置の等価回路を示す。本装置は、p+層202、n-1層201、p2層215からなるpnpトランジスタ(Q1)とn-1層201、p2層215、n+3層213からなるnpnトランジスタ(Q2)により構成さ

れるサイリスタ (Th1) を含んでいる。このサイリスタ Th1 は電極 210, 配線電極, 電極 204, 絶縁ゲート G201 と n+1 層 211 と p1 層 214 と n+2 層 212 からなる n チャネル MISFET (M2) を経由してエミッタ電極 (E) 209 に接続される。また n+3 層 213, p2 層 215, n-1 層 201 からなる n チャネル MISFET (M1) のソース, ドレインが Q2 のエミッタ, コレクタにそれぞれ接続される。p1 層 214, n-1 層 201, p2 層 215 からなる p チャネル MISFET (M3) が、p1 層 214 と p2 層 215 の間に設けられている。さらに p2 層 215 とエミッタ電極の間にツェナーダイオード 220 がサイリスタの p ベース層の p2 層 215 にカソード電極を向けて接続されている。このときツェナーダイオード 220 のツェナー電圧は、MISFET M2 のソースドレイン間すなわち n+1 層 211 と n+2 層 212 間の耐圧より低く設けられている。

【0013】

この素子の動作は図3の素子の動作とはほぼ同じである。本素子ではスイッチング時に p2 層 215 の電位が上昇し、サイリスタと直列接続されている M2 に印加される電圧が上昇する。ところがツェナーダイオード 220 の動作により p2 層 215 の電位はツェナー電圧を超えないため、M2 には最大でもツェナー電圧しか印加されず、M2 にはその耐圧を超えた電圧は印加されない。このため M2 の降伏が起こらず安全動作領域が広がる。しかし、図3の従来素子ではサイリスタと直列接続されている MISFET M2 の耐圧は高く、安全動作領域を決定する機構が図4の素子と異なるため、上記図4の従来素子と同様な特性のツェナーダイオードを接続しても安全動作領域は改善されない。

【0014】

本発明は、オンしやすいこと、低抵抗損失であることを維持しながら、同時に広い安全動作領域を持つ M I S 制御型デバイスを提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明においては、M I S 制御サイリスタにおけるサイリスタ領域の p ベース層とエミッタ層を適当な非線形素子を用いて接続する。すなわち、p ベース層とエミッタ層を、素子がオン状態では高抵抗、安全動作領域を決めるターンオフ状

態では低抵抗となる非線形素子で接続する。

【0016】

本発明によれば、オン状態ではサイリスタ動作が十分起きるので低オン電圧となり、ターンオフ時には、低抵抗でpベース層とエミッタ層が接続され、pベース層の電位は上昇せず、広い安全動作領域が得られる。

【0017】

なお、本発明は、MIS制御型サイリスタの各半導体層の導電型（pとn）を逆にした場合にも適用できる。

【0018】

【発明の実施の形態】

（実施例1）

以下、本発明の実施例を図1により説明する。図1に断面構造及びその等価回路を示す半導体装置は、n-基板（n-層）1の裏面にn1層2及びp1+層3が形成されている。表面には絶縁膜4とゲート電極5からなる絶縁ゲートGが形成され、絶縁ゲートG下に達するようにn1+層6、n2+層7が、主表面から形成されている。n6+層に接して不純物濃度の高いp2+層8が主表面から形成され、n1+層6を取り囲むようにp1層9が設けられている。n2+層7を取り囲むように、p2層11が設けられている。n1+層6とp2+層8に接触してエミッタ電極12が設けられている。裏面にはコレクタ電極13がp1+層3に接触して設けられている。p2層11はエミッタ電極12と非線形素子Sを介して接続されている。ここで、本発明の装置では、従来装置の抵抗R1は無視できるほど大きい。このため等価回路で見ると、本半導体装置は従来装置の等価回路のR1に代わりに非線形素子Sを設けた構造と考えられる。

【0019】

この非線形素子の満たすべき電流電圧特性を図2に示す。図2の非線形素子の電流の方向は図1の図中で非線形素子の脇に示した矢印の方向を正に取っている。図中、主素子のオン状態での定格電流I1（A）導通時のコレクタ電圧をオン電圧VCEsat（V）で示す。この非線形素子Sは、主素子のコレクタ電圧が、オン電圧のVCEsat+V1（V）となったときにオンし、電流が流れ始め、コレク

タ電圧が $V_{CEsat} + V_2$ (V)となったとき I_1 電流が流れる。 V_{CEsat} の値は主素子の耐圧により変化するが、 $V_{CEsat} + V_1$ の値はおおよそ10V以下である。望ましくは $0V < V_1 \leq 1V$ 以下であるといい。さらに、Sのオン状態での抵抗 $R_s = (V_2 - V_1) / I_1$ は低い方が望ましく、実用上は $R_s \leq 0.01$ が適当である。この非線形素子は、上記の条件を満たせば、主素子と同一チップ上に形成しても、別チップで設けても良い。また具体的には、この非線形素子は上記の条件を満たすようにダイオード、バイポーラトランジスタ、MOSFET等の非線形素子を単体もしくは複数個を組み合わせればよい。

【0020】

本半導体装置では、オン状態では、非線形素子Sはオフ状態でpベース層はフローティング電位で、Q2の電流増幅率が高いままである。このためQ2からのn-1層1への電子注入が顕著になり、低いオン電圧が得られる。また、主素子のターンオフ時は、p2層11の電圧はコレクタ電圧とともに上昇するが、コレクタ電圧が上昇して、非線形素子Sがオンすると低抵抗となった非線形素子によりpベース層のエミッタ電極12が接続される。このため、pベース層の電位が上昇せず広い安全動作領域が得られる。さらにオン状態で負荷が短絡したような場合、コレクタ電圧が上昇すると、非線形素子SがオンするのでQ2の電流増幅率が低下し、主素子の飽和コレクタ電流 I_{sat} が従来装置に比べ低減される。このため負荷短絡事故が起こった場合にも、素子で発生する熱が少なく、高い短絡耐量をもつ。

【0021】

(実施例2)

本発明の別の実施例を図6に示す。この実施例は図1の非線形素子Sにツェナーダイオードを用いた場合である。p2層11はエミッタ電極12とツェナーダイオードD1を介して接続されている。ここでD1のアノードがエミッタ電極12に接続されている。D1は上述の非線形素子に求められる条件を満たすように、その耐圧が主素子が定格オン状態の時のp2層11の電圧より大きく設けられている。更に降伏後のD1の抵抗は十分低く設けられている。

【0022】

本実施例では、コレクタ電圧が上昇し p2 層 11 の電位が上昇し、 $V_{CEsat} + V_1$ (V) を超えると、ツェナーダイオード D1 が降伏し、p2 層 11 とエミッタ電極 12 が低抵抗で短絡される。このため図 1 の実施例と同様な効果が期待できる。

【0023】

図では非線形素子 S にツェナーダイオードを用いたが、条件を満たせば、ダイオードをアノードを p2 層 11 に向けて単独もしくは、複数個接続して上記の非線形素子の条件を満たしても同様な効果が得られる。

【0024】

(実施例 3)

本発明の別の実施例を図 7 に示す。この実施例は図 1 の非線形素子 S にツェナーダイオードを複数用い、主半導体装置と同一基板上に設けた場合である。図に併せてその等価回路を示す。ツェナーダイオードは、多結晶 Si を堆積して形成している。ここで p2 層 11 と低抵抗で接触して p3+層 15, p3+層 15 に隣接して n3+層 16、さらに n3+層 16 に隣接して p4+層 17 が設けられ、p4+層 17 は低抵抗でエミッタ電極 12 と接触している。

【0025】

本実施例は図 7 の等価回路に示すように、p2 層 11 とエミッタ電極 12 の間に、p3+層 15 と n3+層 16 からなるツェナーダイオード D2 と p4+層 17 と n3+層 16 とからなるツェナーダイオード D3 が背中合わせに設けられている。ここで、直列接続した D2, D3 が上記の非線形素子の条件を満たすようにすれば、図 1 の実施例と同様な効果が期待できる。さらに本実施例では、オンチップで非線形素子を形成するので、信頼性が高くまた部品点数も減少可能となる。

【0026】

(実施例 4)

本発明の別の実施例を図 8 に示す。この実施例は図 1 の非線形素子 S に p チャネルの MOSFET を用い、主半導体装置と同一基板上に設けた場合である。図 1 の実施例との違いは、非線形素子 S に代わり、基板表面に接して p3 層 18 を設け、

さらに p2 層 11 と p3 層 18 に接するようにゲート G2 を設けている点である。さらに p3 層 18 とゲート G2 はエミッタ電極 12 に低抵抗で接続される。図に併せてその等価回路を示すように、この MOSFET は p2 層 11 とエミッタ電極 12 の間に設けられた MOSFET (M3) で表される。

【0027】

本実施例では、M3 が上記非線形素子の条件を満たすように、そのゲート G2 がエミッタ電極 12 と接続されている。さらに M3 は、コレクタ電圧が $V_{CEsat} + V_1$ となったとき、p2 層 11 の電位が G2 のしきい電圧となるように設けられている。したがってコレクタ電圧が $V_{CEsat} + V_1$ (V) を超えると、M3 はオンして p2 層 11 とエミッタ電極 12 が低抵抗で接続されるので、図 1 の実施例と同様な効果が期待できる。さらに本実施例では、プレーナーでプロセスで非線形素子を形成するので、高精度で信頼性が高い素子が作製可能である。

【0028】

また本実施例では非線形素子に p チャネル MOSFET を用いた例を示したが、n チャネル MOSFET を用いて同様の素子を設けることも可能である。

【0029】

(実施例 5)

本発明の別の実施例を図 9 に示す。この実施例は本発明を、他の半導体装置に適用した例を示す。この半導体装置は n- 基板 (n- 層) 1 の裏面に n1 層 2 及び p1+ 層 3 が形成されている。表面には絶縁膜 4 とゲート電極 5 からなる絶縁ゲート G 形成され、さらに絶縁膜 4 とゲート電極 5 からなる別の絶縁ゲート G3 が設けられている。絶縁ゲート G 下に達するように n1+ 層 6 が、また絶縁ゲート G と G3 の下に共に達するように n2+ 層 7 が、それぞれ主表面から形成されている。n1+ 層 6 に接して不純物濃度の高い p2+ 層 8 が n- 層 1 に達するように主表面から形成され、n1+ 層 6 と n2+ 層 7 を取り囲むように p1 層 9 が設けられている。n1+ 層 6 と p2+ 層 8 に接触してエミッタ電極 12 が設けられている。裏面にはコレクタ電極 13 が p1+ 層 3 に接触して設けられている。p1 層 9 の n2+ 層 7 と隣接し表面に接している部分とエミッタ電極 12 の間に第一の実施例で示した条件を満たす非線形素子が接続されている。本実施例では、非線形素子として、ツ

エナードダイオードD1が、アノードをエミッタ電極側にして設けてある。非線形素子としては、この実施例のツェナードダイオードの他、第一の実施例で述べた条件を満たすように、ダイオード、MOSFET、バイポーラトランジスタなどを組み合わせて形成すれば良く、またこれらの素子を、主素子と同一基板上に設けても、別チップで設けて配線により接続しても良い。

【0030】

図9の等価回路に示すように、本実施例の装置は、p1+層3，n-層1，p1層9からなるpnpトランジスタ(Q1)とn-層1，p1層9，n2+層7からなるnpnトランジスタ(Q2)により構成されるサイリスタ(Th1)を含んでいる。このサイリスタTh1はn1+層6，p1層9，n2+層7からなるnチャネルMISFET(M1)を介してエミッタ電極12に接続される。同時にQ1は、p1層9のn2+層7下の横方向抵抗(R4)及びn1+層6下の横方向抵抗(R2)を介してエミッタ電極12に接続されている。更にこのR4，R2と並列にツェナードダイオードD1が接続されている。更にp1+層3，n-層1，p1層9からなるpnpトランジスタ(Q3)と、n-層1，p1層9，n1+層6からなるnpnトランジスタ(Q4)からなる寄生サイリスタ(Th2)が存在する。

【0031】

Q4のベース層であるp1層9は、低い抵抗R2によりエミッタ電極12に接続される。このためQ4の電流増幅率は低く、通常Th2はオンしない。

【0032】

本半導体装置では、オン状態ではTh1の動作により低いオン電圧が得られる。またTh1はM1に直列に接続されているため絶縁ゲートへの電圧の印加・除去によりオン・オフ可能である。本実施例の素子のターンオフ時には、n-層に蓄積されたホールは、p1層9，p+2層8を経由してエミッタ電極にながれる。コレクタ電流が増加し、ホール電流が増えると、R4の電圧降下によりp1層9の電位が上昇する。通常p1層9の電位が上昇すると、p1層9とn2+層7の接合が降伏してターンオフに失敗するが、本発明の素子ではツェナードダイオードD1が設けられているため、p1層9の電位が上昇すると、p1層9はD1が降伏してエミッタ電極と短絡されるため、コレクタ電流が増えてもp1層11の電

位が過剰に上昇する事がなく、広い安全動作領域を持つ。

【0033】

(実施例6)

本発明の別の実施例を図10に示す。この実施例は本発明を、他の半導体装置に適用した例を示す。この半導体装置はn-基板(n-層)1の裏面にn1層2及びp1+層3が形成されている。表面には絶縁膜4とゲート電極5からなる絶縁ゲートG形成されている。絶縁ゲートG下に達するようにn1+層6が主表面から形成されている。n1+層6に接して不純物濃度の高いp2+層8がn-層1に達するように主表面から形成され、n1+層6を取り囲むようにp1層9が設けられている。n1+層6とp2+層8に接触してエミッタ電極12が設けられている。裏面にはコレクタ電極13がp1+層3に接触して設けられている。絶縁ゲートG下に達するようにp3層20が主表面から形成されており、p3層20とエミッタ電極12の間には第一の実施例で示した条件を満たす非線形素子が接続されている。本実施例では、非線形素子として、ツェナーダイオードD1が、アノードをエミッタ電極側にして設けてある。非線形素子としては、この実施例のツェナーダイオードの他、第一の実施例で述べた条件を満たすように、ダイオード、MOSFET、バイポーラトランジスタなどを組み合わせて形成すれば良く、またこれらの素子を、主素子と同一基板上に設けても、別チップで設けて配線により接続しても良い。

【0034】

図10の等価回路に示すように、本実施例の装置は、p1+層3、n-層1、p1層9からなるpnptランジスタ(Q3)と、n1+層6、p1層9、n-層1からなるMOSFET(M4)から構成されるIGBT、さらにn-層1、p1層9、n1+層6からなるnpnトランジスタ(Q4)からなる寄生サイリスタ(Th2)が存在する。Q4のベース層であるp1層9は、低い抵抗R2によりエミッタ電極12に接続される。さらにp1+層3、n-層1、p3層20からなるpnptランジスタ(Q1)はD1及び、p3層20、n-層1、p1層9からなるpchネルMOSFET(M3)によりQ1のコレクタとエミッタ電極12が接続されている。

【0035】

本半導体装置では、ターンオフ時に n- 層に蓄積されたホールは、p1 層 9, p+2層 8 を経由してエミッタ電極にながれる。通常、コレクタ電流が増加しホール電流が増えると、R2 の電圧降下により p1 層 9 の電位が上昇して、寄生サイリスタ Th2 が動作しターンオフに失敗するが、本発明の素子ではツェナーダイオード D1 が設けられているため、p1 層 9 の電位が上昇すると、p1 層 9 は D1 が降伏してエミッタ電極と短絡される。このためコレクタ電流が増えても Th2 はオンしにくく、広い安全動作領域を持つ。

【0036】

(実施例 7)

図 11 は本発明の半導体装置を用いて、電力変換装置の 1 つである電動機駆動用インバータ装置を構成した一例を示したものである。本発明の 6 個の半導体装置で電圧型インバータ回路を構成し、三相誘導電動機 109 を制御する例で、その基本回路は本発明の半導体装置、フライホイールダイオード 102, スナバダイオード 103, スナバ抵抗 104, スナバコンデンサ 105 から構成されている。従来装置に比べ、安全動作領域が広い本装置を用いることで、スナバ回路の縮小及び削除が可能になった。さらに素子が低損失であることにより、装置の冷却装置等も小型化可能である。従って電力変換装置の一層の小型化が実現できた。

【0037】

【発明の効果】

サイリスタのベース層とエミッタ層 12 を適当な非線形素子を用いて接続することで、抵抗損失（オン電圧）が小さく、同時に広い安全動作領域を持つ複合半導体装置を得られ、さらに一層の低損失、小型の電力変換装置も実現できる。

【図面の簡単な説明】

【図 1】

本発明の一実施例。

【図 2】

図 1 の装置の電気的特性。

【図 3】

従来例。

【図 4】

本発明の他の実施例。

【図 5】

本発明の他の実施例。

【図 6】

本発明の他の実施例。

【図 7】

本発明の他の実施例。

【図 8】

本発明の他の実施例。

【図 9】

本発明の半導体装置を用いて、電動機駆動用インバータ装置を構成した一例。

【図 10】

本発明の別の実施例。

【図 11】

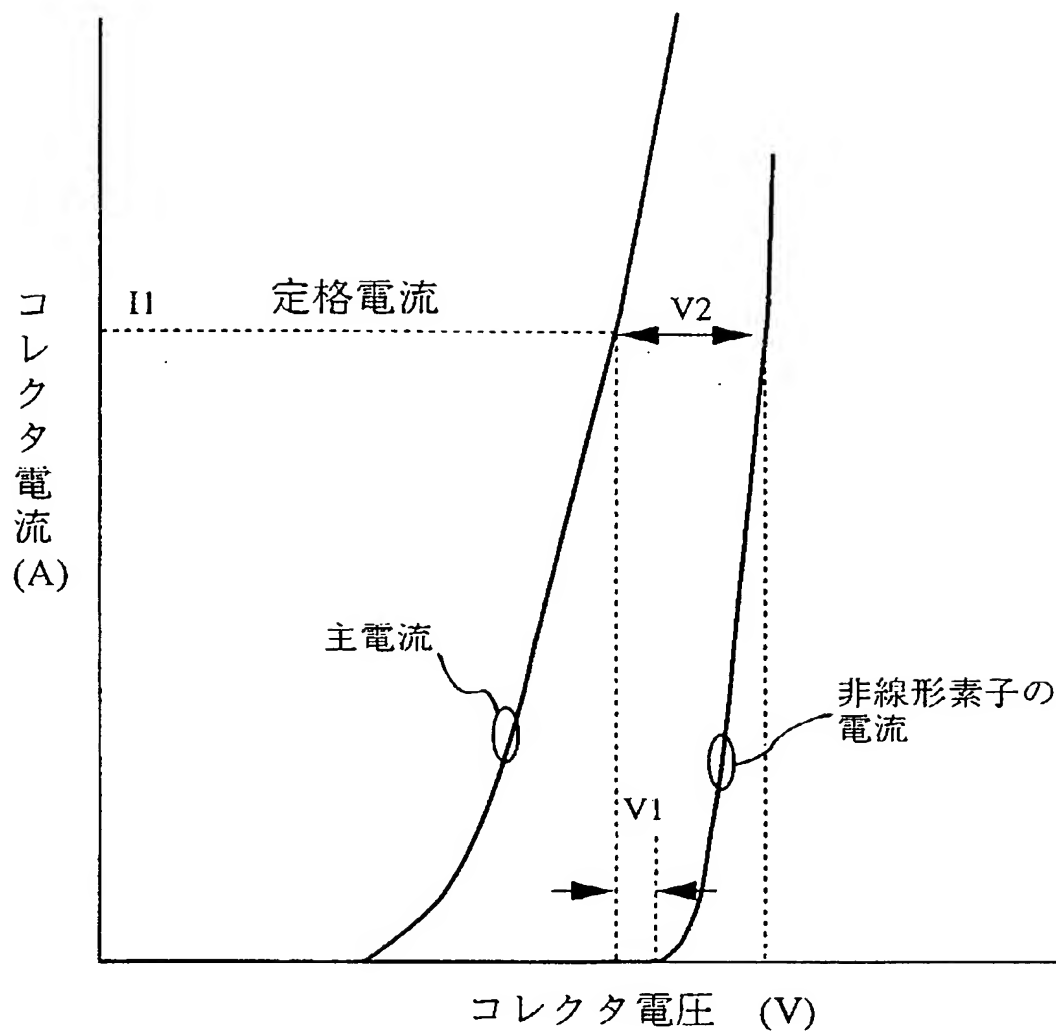
本発明による半導体装置を用いたインバータ装置。

【符号の説明】

1, 201...n-1層、3, 8, 15, 17, 202...p+ 層、13, 203...コレクタ電極、5, 205, 207...ゲート電極、6, 206, 208...絶縁膜、12, 209...エミッタ電極、2, 6, 7, 211, 212, 213...n+ 層、9, 11, 20, 214, 215...p層。

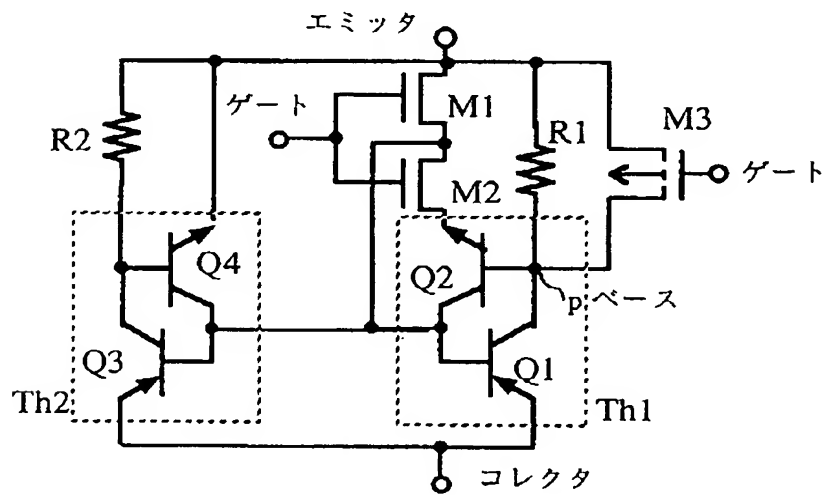
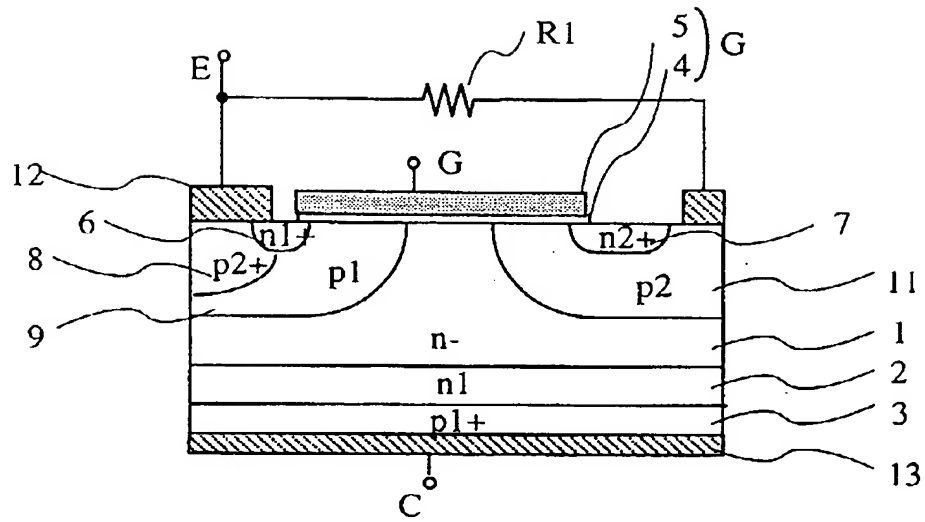
【図2】

図 2



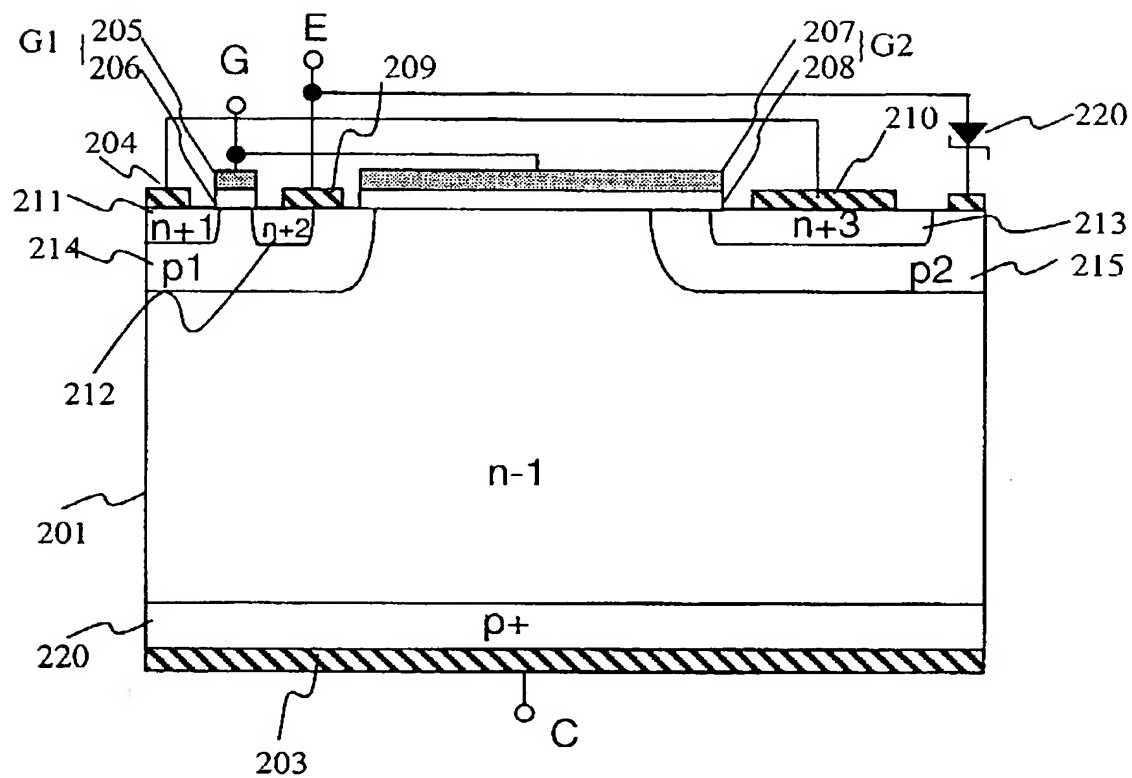
【図3】

図 3



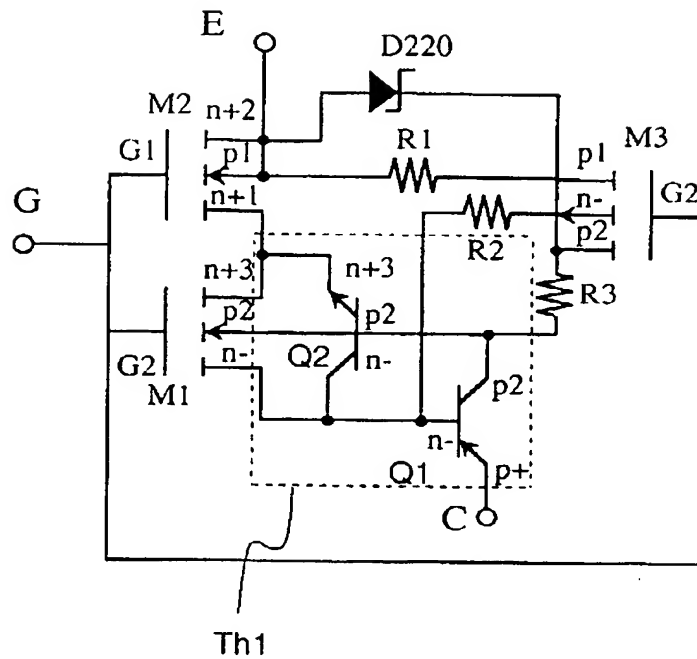
【図 4】

图 4



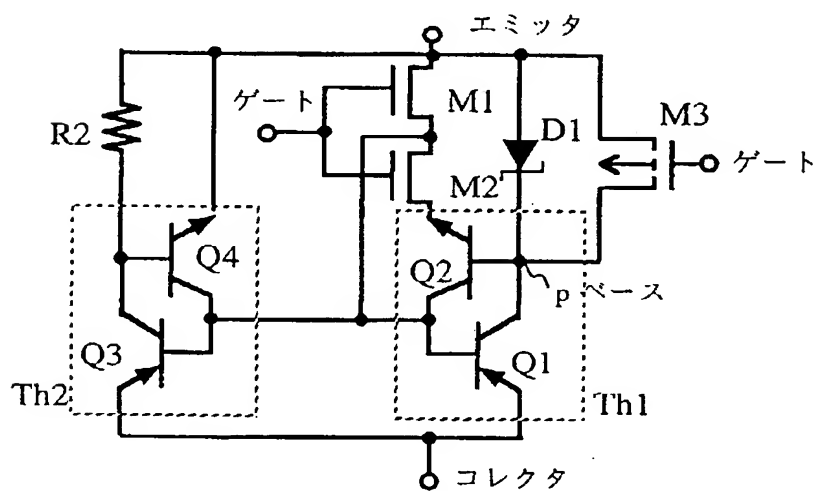
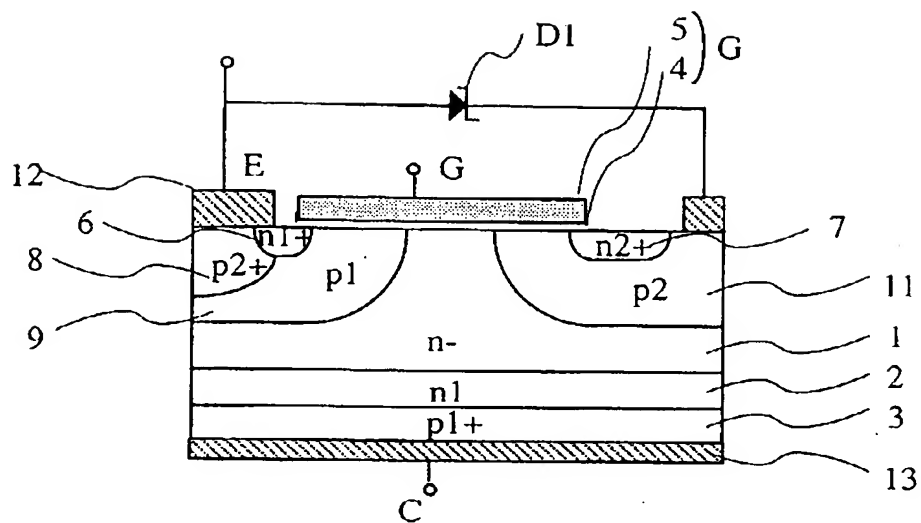
【図5】

図 5



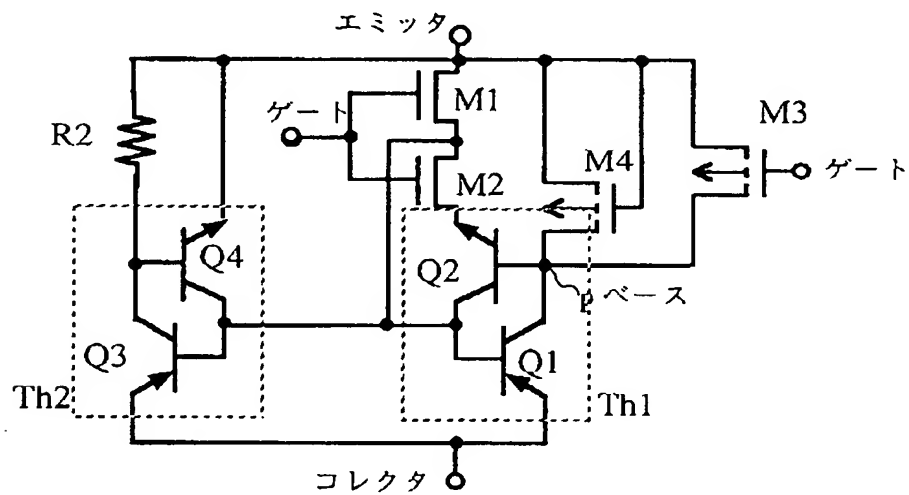
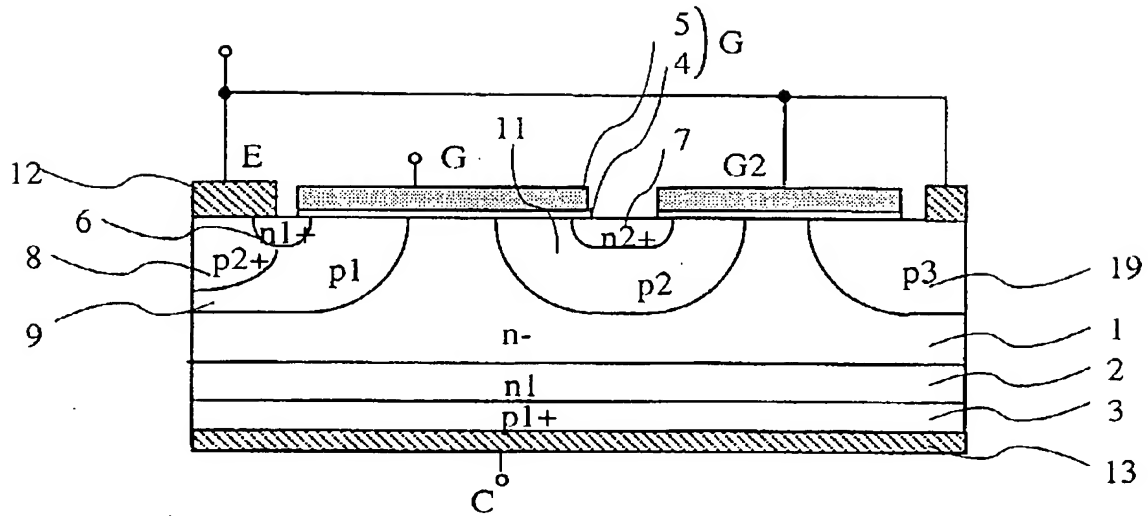
【図6】

図 6



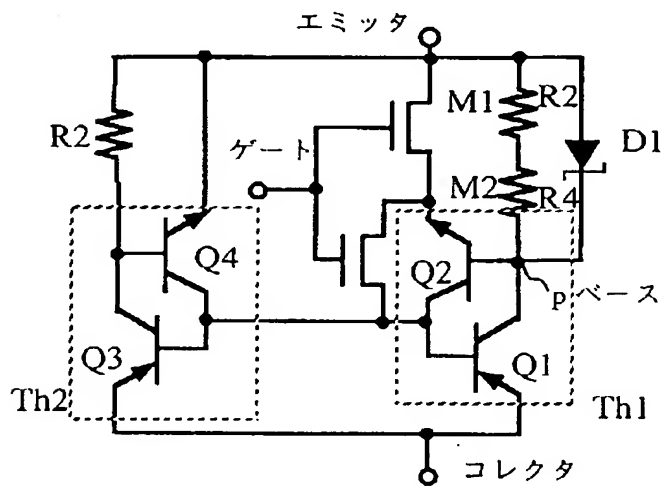
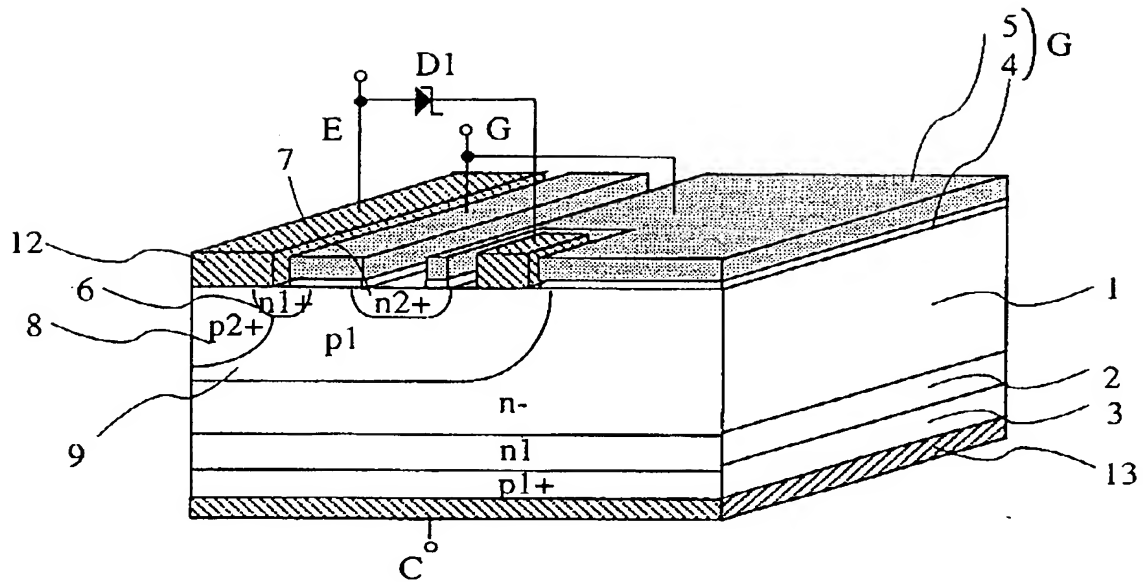
【図 8】

図 8



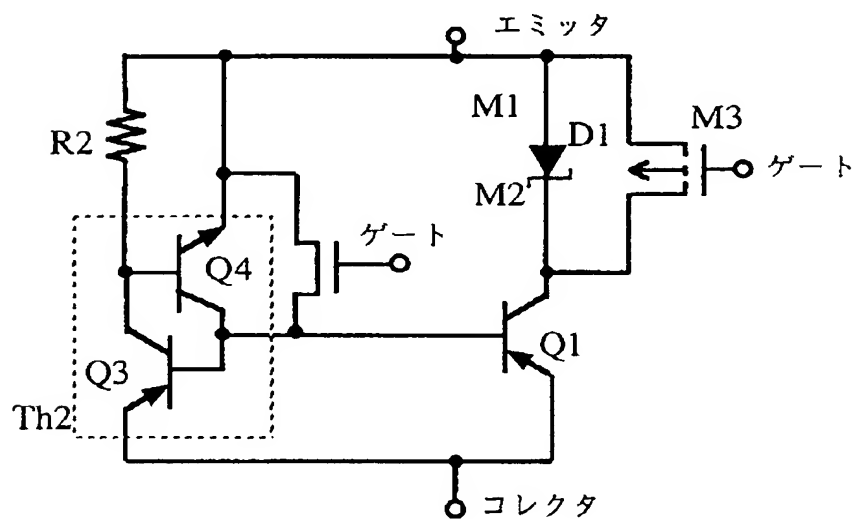
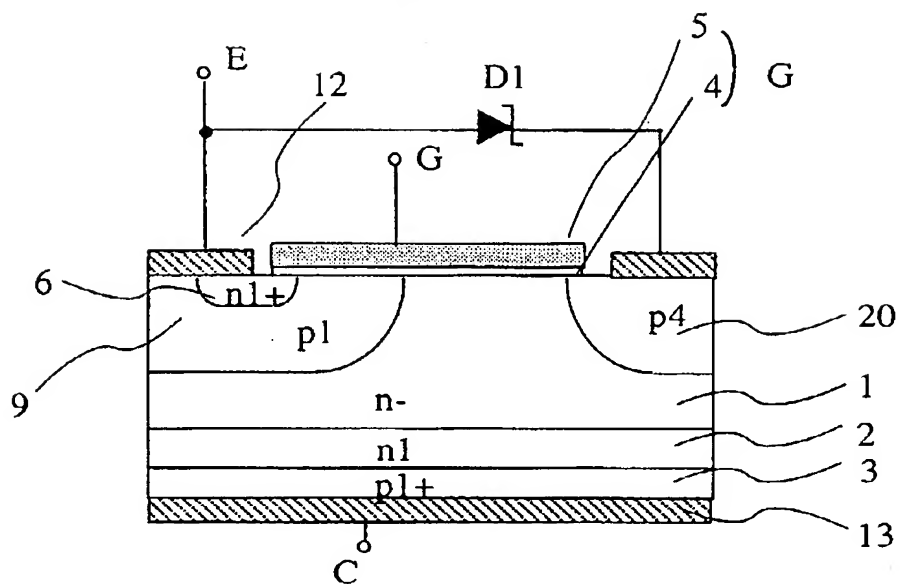
【図9】

図 9



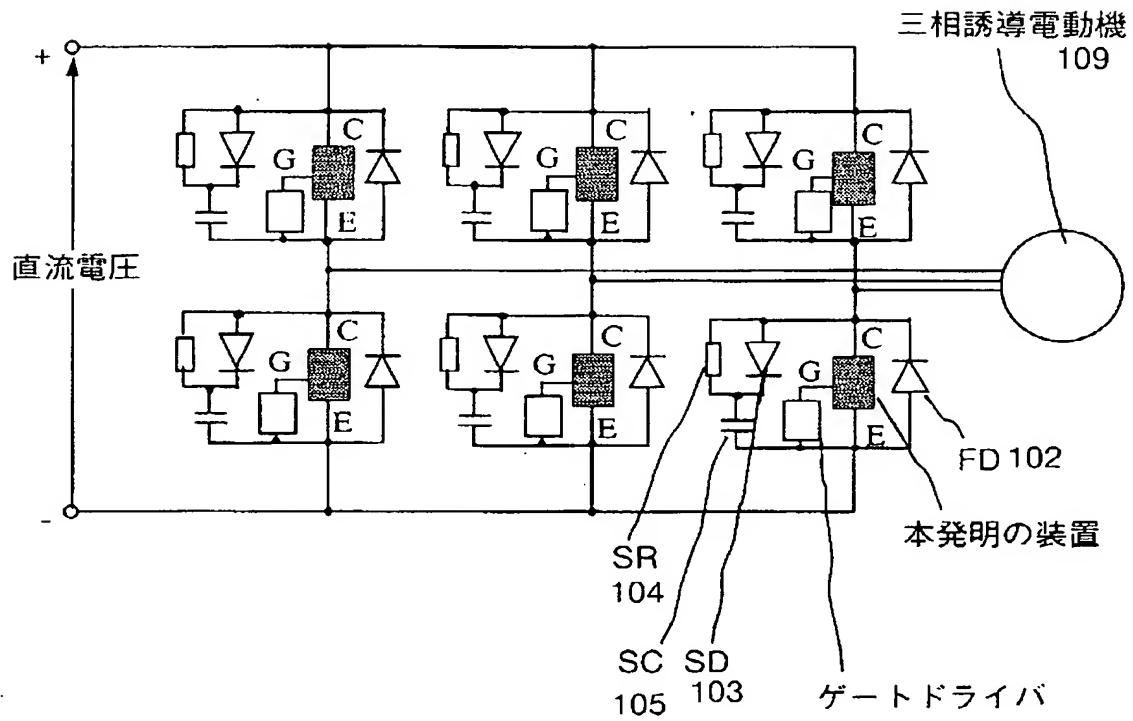
【図10】

図 10



【図11】

図 11



【書類名】 要約書

【要約】

【課題】

本発明はオン時の抵抗損失が小さく、安全動作領域が広いM I S ゲート型半導体装置を提供することを目的とする。

【解決手段】

サイリスタ領域の p ベース層とエミッタ電極間を適当な非線形素子を用いて接続する。

【効果】

サイリスタをオンしやすくすると共に、安全動作領域が広くできるため、半導体装置の低損失化または大容量化が達成できる。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

< 認定情報・付加情報 >

【提出日】 平成10年 4月15日
【特許出願人】
 【識別番号】 000005108
 【住所又は居所】 東京都千代田区神田駿河台四丁目 6 番地
 【氏名又は名称】 株式会社日立製作所
【代理人】 申請人
 【識別番号】 100068504
 【住所又は居所】 東京都千代田区丸の内 1 - 5 - 1 株式会社日立製
 作所 知的所有権本部内
 【氏名又は名称】 小川 勝男

特願平 1 0 - 1 0 4 3 4 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所